



2836  
#3/Priority Paper  
5/10/01  
Jade

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Shi-Tron LIN, et al. )  
Serial No.: 09/779,096 )  
Filed: February 8, 2001 ) Our Ref: B-4101 618582-4  
For: "OUTPUT BUFFER WITH GOOD ESD )  
PROTECTION" ) Date: March 20, 2001

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Honorable Commissioner of Patents and Trademarks  
Washington, D.C. 20231

Sir:

[X] Applicant hereby makes a right of priority claim under 35  
U.S.C. 119 for the benefit of the filing date(s) of the  
following corresponding foreign application(s):

<u>COUNTRY</u>	<u>FILING DATE</u>	<u>SERIAL NUMBER</u>
TAIWAN, R.O.C.	21 April 2000	89107542

[ ] A certified copy of each of the above-noted patent  
applications was filed with the Parent Application  
No. \_\_\_\_\_.

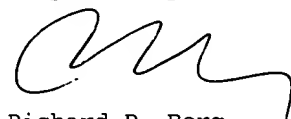
[X] To support applicants' claim, a certified copy of the above-  
identified foreign patent application is enclosed herewith.

[ ] The priority document will be forwarded to the Patent Office  
when required or prior to issuance.

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first-class mail in an envelope addressed  
to the "Commissioner of Patents and  
Trademarks, Washington, D.C. 20231",  
on March 20, 2001 by Cheryl Liang.



Respectfully submitted,



Richard P. Berg  
Attorney for Applicant  
Reg. No. 28,145

LADAS & PARRY  
5670 Wilshire Boulevard  
Suite 2100  
Los Angeles, CA 90036  
Telephone: (323) 934-2300  
Telefax: (323) 934-0202



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請 日：西元 2000 年 04 月 21 日  
Application Date

申請 案 號：089107542  
Application No.

申請 人：華邦電子股份有限公司  
Applicant(s)

局 長  
Director General

陳 明 邦

發文日期：西元 2001 年 3 月 5 日  
Issue Date

發文字號：  
Serial No. 09011003109

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	良好靜電放電防護效果之輸出緩衝器
	英 文	
二、 發明人	姓 名 (中文)	1. 林錫聰 2. 陳偉梵
	姓 名 (英文)	1. Shi-Tron Lin 2. Wei-Fan Chen
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北市大同區朝陽里15鄰延平北路二段69號9樓 2. 台中市北區三民路三段89巷6號
三、 申請人	姓 名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓 名 (中文)	1. 焦佑鈞
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：良好靜電放電防護效果之輸出緩衝器)

本發明提出一輸出緩衝器。本發明之輸出緩衝器包含有一拉高電路以及一拉低電路。拉高電路連接於一第一電源線以及一接合墊之間。拉低電路連接於一第二電源線以及該接合墊之間。拉低電路包含有一電阻、一二極體以及一靜電防護元件。電阻設於一第一導電型之基底上，以一二第二導電型之井區所構成，其包含有一第一端以及一第二端，該第一端係耦合於該接合墊。二極體設於該井區內，以至少一二第一導電型之第一摻雜區所形成之接面構成。靜電防護元件連接於該第二端與該第二電源線之間。其中，該第一摻雜區係為電浮動狀態，或可以一電容耦合至第一端。因該第一摻雜區與該第一端並不直接連接，故於正常操作狀態時，並沒有栓鎖事件問題(latchup issue)。而

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：良好靜電放電防護效果之輸出緩衝器)

在靜電放電事件中，該第一端瞬間耦接於該第一摻雜區，可協助靜電放電防護元件之導通，以增進靜電放電防護能力。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

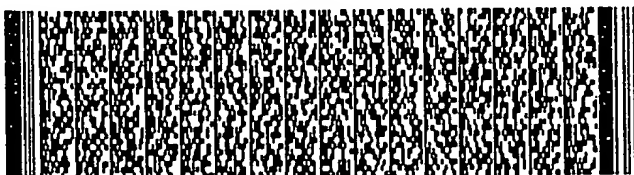
寄存號碼

無

## 五、發明說明 (1)

本發明係有關於一種良好靜電放電防護效果之防護輸出緩衝器，尤指一種包含有一個能防止輸出電壓震盪 (voltage ringing and overshooting) 並且有良好靜電放電防護效果之輸出緩衝器。

當一個IC(integrated circuit)裝設在基板 (motherboard) 上時，因為基板上的寄生電容以及寄生電感的作用，IC中的CMOS輸出入緩衝器經常會面臨到電壓震盪的問題。一種習知的電壓震盪之解決方法是在基板上裝設一個大約10歐姆的電阻來與CMOS輸出入腳位相鄰並串聯，如第1A圖所示。CMOS輸出入緩衝器2包含有一個輸出緩衝器3、一次級靜電放電(ESD)防護電路4以及一個輸入緩衝器5。輸出緩衝器5包含有一個以PMOS P1構成的拉高電路以及一個以NMOS N1構成的拉低電路。因為輸出緩衝器具有大電流的驅動能力，所以PMOS P1與NMOS N1的都會具寬的閾極寬度，並且可以順便當成一個主要ESD防護電路。次級ESD防護電路4，如第1A圖所示，包含了一個200歐姆的電阻連接在輸入緩衝器5與接合墊之間，用來降低在ESD事件中，ESD效應對輸入緩衝器5的影響。因此，用來釋放ESD電流的PMOS P2與NMOS N2就可以設計的比輸出緩衝器3中的小。外接的電阻7加重了輸出緩衝器3的負載，所以可以抑制因寄生的電感電容所造成的電壓震盪。但是，就生產的觀點而言，多一個電阻零件的裝設，一方面會增加基板上的面積，一方面也會增加零件管理上的困難。也就是說，第1A圖中的設計是非常值得三思的。

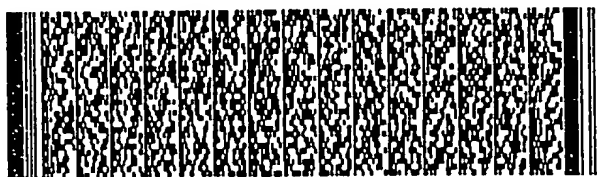
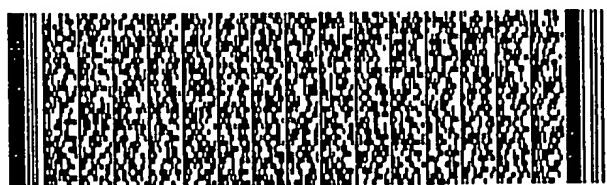


## 五、發明說明 (2)

另一種抑制電壓震盪的方法是去掉外接的電阻7，然後加上兩個晶片內建(on-chip)的電阻，兩個電阻分別和PMOS P1以及NMOS N1串聯，如第1B圖所示。也就是說，拉高電路包含了PMOS P1與電阻 $R_p$ ，而拉低電路包含了NMOS N1與電阻 $R_n$ 。整個輸出緩衝器82因為電阻 $R_n$ 與 $R_p$ 的出現所以驅動能力變小了，因此，電壓震盪也會隨著被抑制。當然的，電阻 $R_n$ 與 $R_p$ 的電阻值越大，電壓震盪的抑制效果也會越好。然而，電阻 $R_n$ 與 $R_p$ 的電阻值不可以大到使輸出緩衝器的驅動能力無法達到CMOS輸出入緩衝器的需求。對CMOS輸出入緩衝器而言，負載壓降(voltage overload, VOL)的規格大約是0.4伏特，若NMOS N1的驅動能力為8到10mA的直流電流以及不超過40mA的暫態電流，則為了符合VOL的規格，電阻 $R_n$ 將不可以大於10歐姆。也就是說，在直流電流的驅動下，電阻 $R_n$ 頂多產生0.1伏特的壓降，在暫態電流的驅動下，電阻 $R_n$ 將產生至多0.4伏特的壓降，這都模合了VOL的規格。

本發明的主要目的，在於提供一種具有電壓震盪抑制能力的輸出緩衝器，同時，本發明之輸出緩衝器在ESD事件時，能夠提供一個良好的放電路徑，達到ESD防護的效果。

根據上述之目的，本發明提出一輸出緩衝器。本發明之輸出緩衝器包含有一拉高電路以及一拉低電路。拉高電路耦接於一第一電源線以及一接合墊之間。拉低電路耦接於一第二電源線以及該接合墊之間。拉低電路包含有一電

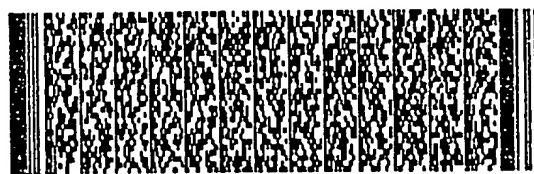
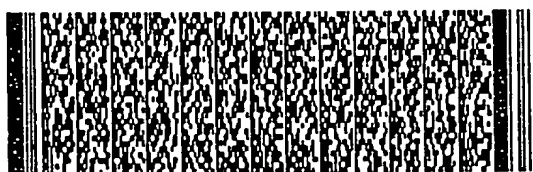




### 五、發明說明 (3)

阻、一二極體以及一靜電防護元件。電阻設於一第一導電型之基底上，以一第二導電型之井區所構成，其包含有一第一端以及一第二端，該第一端係為一第二導電型之第四摻雜區且耦合於該接合墊。二極體設於該井區內，以至少一第一導電型之第一摻雜區所形成之接面構成。靜電防護元件連接於該第二端與該第二電源線之間。其中，該第一摻雜區係為電浮動狀態，或可以一電容耦合至第一端。因該第一摻雜區與該第一端並不直接連接，故於正常操作狀態時，並沒有栓鎖事件問題(latchup issue)。而在靜電放電事件中，該第一端瞬間耦接於該第一摻雜區，可協助靜電放電防護元件之導通，以增進靜電防護能力。

本發明另提供一種靜電放電防護電路，連接於一第一接合墊與一第二接合墊之間。本發明之靜電放電防護電路其包含有一電阻、一二極體以及一靜電防護元件。電阻以一第二導電型之井區所構成之，設於一第一導電型之基底上，且耦合於該第一接合墊。二極體係以一設於該井區中的第二導電型之第一摻雜區與該井區所形成之接面所構成。靜電防護元件連接於該電阻與該第二接合墊之間。其中，該第一摻雜區係為電浮動狀態，或可以一電容耦合至第一端。因該第一摻雜區與該第一端並不直接連接，故於正常操作狀態時，並沒有栓鎖事件問題(latchup issue)。而在靜電放電事件中，該第一端瞬間耦接於該第一摻雜區，可協助靜電放電防護元件之導通，以增進靜電防護能力。



#### 五、發明說明 (4)

靜電防護元件可以是一第二導電型之金氧半導體電晶體(MOS transistor)。

本發明之優點在於正常操作狀態時，因為MOS電晶體串聯了一個井區電阻，所以本發明之輸出緩衝器可以抑制電壓震盪。而且，在ESD事件時，浮動的二極體之第一摻雜區將會與該第四摻雜區瞬間耦合(transient coupling)，可造成載子由該第一摻雜區放射至該井區以及該基底，以協助ESD防護元件的導通。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1A圖為一種習知的CMOS輸出入緩衝器；

第1B圖為另一種習知的CMOS輸出入緩衝器；

第2圖為應用本發明之CMOS輸出入緩衝器的示意圖；

第3A圖為第2圖中之拉低電路的第一實施例示意圖；

第3B圖為第3A圖之上視圖；

第4A圖為本發明所依據之一基本實驗之晶片剖面示意圖；

第4B圖至第4D圖分別是第4A圖中的x為1、2以及4時的實驗數據圖；

第4E圖為第4A圖中沒有浮動之第六摻雜區時的實驗數據圖；

第5A圖為第2圖中之拉低電路的第二實施例示意圖；



## 五、發明說明 (5)

第5B圖為第5A圖之上視圖；

第6圖為第2圖中之拉低電路的第三實施例之示意圖；

第7圖為本發明作為一種靜電防護電路時的示意圖；

第8圖為第7圖之ESD防護電路的第二實施例示意圖；

第9A圖為第7圖之ESD防護電路的第三實施例；

第9B圖為第9A圖之一種晶片剖面圖；

第9C圖為第9A圖之另一種晶片剖面圖；

第10A圖為第7圖之ESD防護電路的第四實施例；

第10B圖為第7圖之ESD防護電路的第五實施例；

第11圖為本發明以第一導電型是p型且第二導電型是n型時的一實施例；以及

第12圖為第11圖之電路的晶片剖面圖。

第13A圖與第13B圖為兩個本發明應用於雙井區結構之示意圖

符號說明：

10 輸出緩衝器	12 次級ESD防護電路
14 輸入緩衝器	16 拉低電路
17 基底	18 井區
20 第四摻雜區	22 第五摻雜區
24 第二摻雜區	26 第三摻雜區
28 第六摻雜區	30 第一摻雜區
40 第一接合墊	42 第二接合墊
44 場氧化層	金氧半導體電晶體
46 場氧化層	66 拉高電路

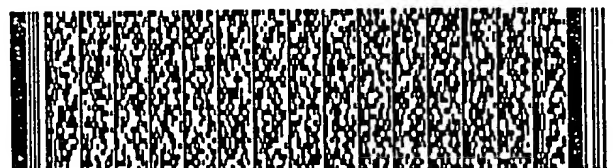


## 五、發明說明 (6)

實施例：

本發明提供一個同時具有電壓震盪抑制能力以及ESD防護能力的輸出緩衝器。為了說明上的方便，以下將以p型表示第一導電型、n型表示第二導電型。

請參閱第2圖、第3A圖以及第3B圖，第2圖為應用本發明之CMOS輸出入緩衝器的示意圖，第3A圖為第2圖中之拉低電路的第一實施例示意圖，第3B圖為第3A圖之上視圖。一CMOS輸出入緩衝器中包含有一輸入緩衝器14、一次級ESD防護電路12以及一本發明之輸出緩衝器10。次級ESD防護電路12包含有一個200歐姆的電阻、一PMOS P2以及一NMOS N2。本發明之輸出緩衝器10包含有一拉高電路以及一拉低電路16。拉高電路包含了一串聯的PMOS P1與一電阻 $R_p$ ，連接於一第一電源線VDD以及一接合墊pad之間。拉低電路16連接於一第二電源線VSS以及接合墊pad之間。拉低電路16包含有一電阻 $R_n$ 、一二極體 $D_n$ 以及一靜電防護元件。電阻 $R_n$ 設於一p型之基底17上，以一n型之井區18所構成。電阻 $R_n$ 包含有一第一端以及一第二端，第一端係耦合於接合墊pad。第一端與第二端係分別以一n型之第四摻雜區20與一n型之第五摻雜區22所構成。二極體 $D_n$ 設於井區18內，以至少一p型之第一摻雜區30所形成之PN接面構成。靜電防護元件連接於第二端與第二電源線VSS之間，在此以一n型之金氧半導體電晶體MOS N1為代表。MOS N1包含有一閘極、一汲極以及一源極。汲極與源極係分別以

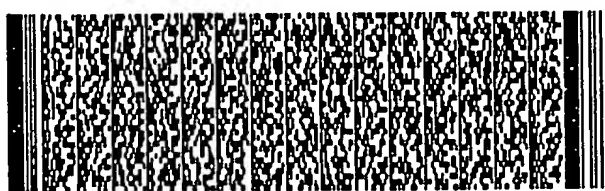


## 五、發明說明 (7)

一n型之第二摻雜區24與一n型之第三摻雜區26所構成。汲極係耦合至電阻 $R_n$ 之第二端(第五摻雜區22)，源極係耦合於第二電源線VSS。基底17通常以一第六摻雜區28做為電連接，且耦合至第二電源線VSS，如第3A圖所示。

(optional) 電容 $C_n$ 可連接於接合墊pad或第四摻雜區20與第一摻雜區30之間，電容 $C_n$ 可省略，第四摻雜區20之接點也可省略(floating)，此可以作為電路設計上的選擇，如第3A圖所示。電容 $C_n$ 越大，浮動的第一摻雜區30對第四摻雜區20的暫態耦合將會更敏銳。MOS N1可以運用具有大電流驅動能力的MOS電晶體。瞬間耦合使得第一摻雜區30與第四摻雜區20於ESD事件時的電位更近，而井區18於ESD電流瞬間充電時的壓降(IR drop)，使得p型第四摻雜區20下的n形井區18之電位低於p型第四摻雜區20之瞬間電位。如此，p型第四摻雜區20對n型井區18瞬間呈現順向偏壓，使p型第四摻雜區20中的載子(電洞)射入n型井區18以及p型基底17中，以促使p型基底17上的ESD防護元件導通。為了節省面積，大電流驅動能力的MOS電晶體大都以手指狀之金氧半導體電晶體所構成。MOS N1之閘極可以耦合至一信號源或是第二電源線VSS。

由第2圖至第3B圖可知，在一正常操作狀態中(非ESD事件時)，因第一摻雜區30是呈現浮動狀態的，因此，拉低電路的等效電路中就僅包含了電阻 $R_n$ 與MOS N1，所以，本發明的輸出緩衝器16和習知的輸出緩衝器一樣具備有抑制電壓震盪的能力。但是，在實驗中發現，當一正脈衝的



#### 五、發明說明 (8)

ESD 事件發生在接合墊pad上時，第一摻雜區30將耦合至第四摻雜區20。寄生的pnp雙接面電晶體(以第一摻雜區30、井區18以及基底17所構成)與寄生的npn雙接面電晶體(以井區18、基底17以及第三摻雜區26所構成)都會被觸發產生栓鎖現象(latch-up)，可以釋放ESD之龐大能量。

請參閱第4A至4E圖，第4A圖為本發明所依據之一基本實驗之晶片剖面示意圖。第4B圖至第4D圖分別是第4A圖中的x為1、2以及4時的實驗數據圖。第4E圖為第4A圖中沒有浮動之第六摻雜區時的實驗數據圖。第4A圖中包含了一p型基底17、一n型井區18、一n型第四摻雜區20、一p型第一摻雜區30、一n型第三摻雜區26以及一p型第六摻雜區28。第四摻雜區20與第一摻雜區30相耦合作為電壓電流的輸入，第三摻雜區26為電浮動狀態，第六摻雜區28接地。由第4B圖至第4E圖可以發現，不論x的值為多少，如此的結構之起始電壓都是30伏特，大約是n型井區18與p型基底17之崩潰電壓。而第4B圖至第4E圖更是提供了兩個趨勢，一個是突然跳回(snapback)所需的電流將會隨著x增大而增大，另一個則是栓鎖(latch-up)所需的電流在不小於snapback電流的條件下，將隨著x增大而減小。所以只要善加調整x的值，第4A圖的結構便可以作為一個良好的靜電放電防護元件。相同的，如果第一摻雜區30為電浮動的，第三摻雜區26為接地，其他的條件維持不變的狀況下，電壓電流的趨勢也類似如第4B圖至第4E圖所示，在此不再多述。也因此，本發明之輸出緩衝器也必然可以作為



## 五、發明說明 (9)

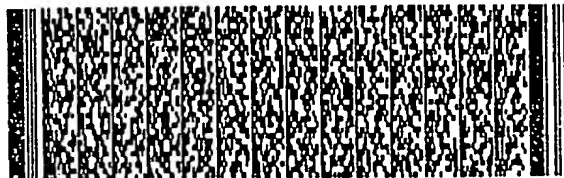
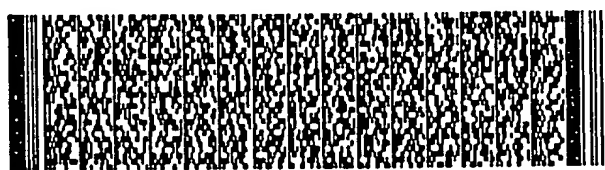
一 良好的ESD防護裝置。

請參閱第5A圖以及第5B圖，第5A圖為第2圖中之拉低電路的第二實施例示意圖，第5B圖為第5A圖之上視圖。第五摻雜區22也可以跨過井區18的邊緣，而同時作為MOS N1的汲極。如此，可以減少掉第五摻雜區22到汲極之間的連結線之製作。

請參閱第6圖，第6圖分別為第2圖中之拉低電路的第三實施例之示意圖。二極體Dn也可以至少二個第一導電型之相連的第一摻雜區，如第6A圖中的30a至30c，所構成。在第6圖中，第一摻雜區30a~30c與第四摻雜區20交錯(interlace)設置。而且，耦合至第四摻雜區20的金屬層32與第一摻雜區30a~30c相重疊。如此，可以增加第一摻雜區30a~30c與第四摻雜區20之間的瞬間耦合(transient coupling)，使ESD電流更容易釋放掉。

第一摻雜區30和第四摻雜區20彼此可以間隔一段距離，或者是相接觸。第一摻雜區30和第四摻雜區20相接觸(butting)時可以增加第一摻雜區30和第四摻雜區20之間的瞬間耦合。

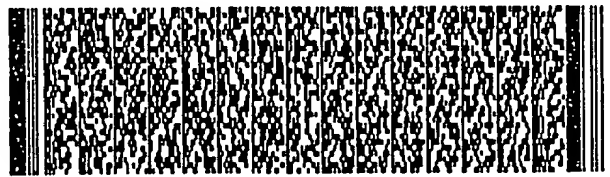
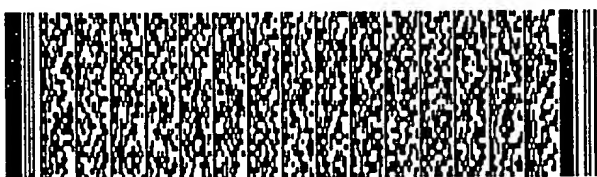
請參閱第7圖以及第3A圖，第7圖為本發明作為一種靜電防護電路時的示意圖。相同的概念，本發明也可以當成一種靜電防護電路，連接於第一接合墊40與第二接合墊42之間，用以釋放第一接合墊40或第二接合墊42上的ESD電流，第一接合墊40與第二接合墊42均可以是輸出入埠的一部分，或者是一電源埠的一部份。譬如說，第一接合墊40



##### 五、發明說明 (10)

耦合至一輸出入埠，第二接合墊42係耦合至一電源線。譬如說，第一接合墊40與第二接合墊42分別耦合至一第一電源線以及一第二電源線。靜電防護電路包含有一電阻 $R_n$ 、一二極體 $D_n$ 以及一靜電防護元件。電阻 $R_n$ 以一 $n$ 型之井區18所構成，設於一 $p$ 型之基底17上，且耦合於第一接合墊40。二極體 $D_n$ 係以一設於井區18中的 $p$ 型之第一摻雜區30與井區18所形成之PN接面所構成。靜電防護元件，連接於電阻 $R_n$ 與第二接合墊42之間。在第7圖以及第3A圖中，靜電防護元件係為一個 $n$ 型之MOS N1，MOS N1包含有一閘極、一汲極、一源極以及一基極。汲極係耦合至電阻 $R_n$ ，源極係耦合於第二接合墊42。(optional)電容 $C_n$ 可連接於接合墊pad或第四摻雜區20與第一摻雜區30之間，該電容 $C_n$ 可省略，第四摻雜區20之接點也可省略(floating)，可以作為電路設計上的選擇。其中，第一摻雜區係30為電浮動狀態，或可以一電容 $C_n$ 耦合至第一端。因第一摻雜區30與第一端並不直接連接，故於正常操作狀態時，並沒有栓鎖事件問題(latchup issue)。而在靜電放電事件中，第一端瞬間耦接於第一摻雜區30，可協助靜電放電防護元件之導通，以增進靜電放電防護能力。

MOS的閘極可以耦合至第二接合墊42，如第7圖所示。靜電防護電路也可以包含有一延遲電路，以一延遲電阻 $R_2$ 與一延遲電容 $C_2$ 串聯所構成，耦接於第一接合墊40與第二接合墊42之間。且MOS的閘極耦合於延遲電阻 $R_2$ 與延遲電容 $C_2$ 之串接點，如第8圖所示。第8圖為第7圖之ESD防護電





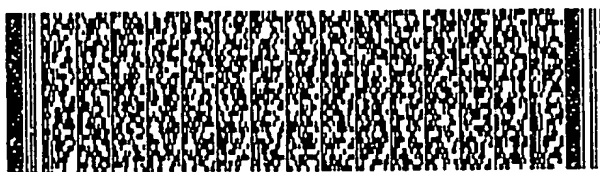
## 五、發明說明 (11)

路的第二實施例示意圖。

請參閱第9A圖至第9C圖，第9A圖為第7圖之ESD防護電路的第三實施例，第9B圖為第9A圖之一種晶片剖面圖，第9C圖為第9A圖之另一種晶片剖面圖。靜電防護元件也可以為一場氧化層金氧半導體電晶體(field oxide MOS transistor, FOX MOS)44，如第9A圖所示。FOX MOS 44包含有一n型之第二摻雜區24與一n型之第三摻雜區26。第二摻雜區24與第三摻雜區26均設於基底17上，如第9B圖所示。FOX MOS 44可另包含有一場氧化層46，設於該第二摻雜區24與第三摻雜區26之間，如第9C圖所示。

請參閱第10A圖與第10B圖，第10A圖為第7圖之ESD防護電路的第四實施例，第10B圖為第7圖之ESD防護電路的第五實施例。如果要實現第7圖之ESD防護電路，MOS N1的汲極(第二摻雜區24)也可以直接耦合至第一接合墊40，如第10A圖所示。P型之第六摻雜區28可以環繞整個的ESD防護電路之外圍以作為保護環(guard ring)。並且，於井區18和第六摻雜區28之間，沒有MOS N1的地方也可以額外加上一個N型之第七摻雜區29，耦合至第二接合墊42，如第10A圖之左半部所示。如此，不但第10A圖之右半部有ESD防護能力，同時，第10A圖之左半部也會有ESD防護能力，提供雙重的保護。當然的，如先前所述，MOS N1也可以用一個FOX MOS取代，如第10B圖所示。

第一導電型如果為n型，那第二導電型就為p型，如第3圖至第10B圖所示。相對的，如果第一導電型係為p型，



## 五、發明說明 (12)

那第二導電型就為n型。請參閱第11圖以及第12圖，第11圖為第一導電型是p型且第二導電型是n型時的一實施例，第12圖為第11圖之電路的晶片剖面圖。在第11圖中，呈現的是應用本發明之拉高電路66，連接於一第一電源線VDD與一接合墊pad之間。這種n型和p型對調之技術在半導體業界已經是非常普遍的，所以在此僅舉出第11圖以及第12圖作為實施例，並不多加說明。

相較於習知的輸出緩衝器而言，本發明在當作電阻的井區中多加了一個浮動的二極體。因此，在正常操作狀態(normal operation)中，本發明之輸出緩衝器的二極體並不發生作用，所以電阻可以抑制電壓震盪。然而，在ESD事件中，二極體將瞬間耦合於接合墊(或第四摻雜區)，可以協助ESD防護線路之導通。也就是說，本發明提供一個同時具有電壓震盪抑制能力以及ESD防護能力的輸出緩衝器。

本發明所述之基底，可以為一井區；而所述之井區可以為一基底的形狀。如N-well/P-sub之結構，可以由N-sub/P-well所取代，或為N-well/P-well之雙井(twin well)結構所取代，如第13A圖與第13B圖所示。

本發明雖以以上較佳實施例等揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

### 1. 一輸出緩衝器，包含有：

一第一電路，耦合於一第一電源線以及一接合墊之間；

一第二電路，耦合於一第二電源線以及該接合墊之間，其包含有：

一電阻，設於一第一導電型之基底上，以一第二導電型之井區所構成，其包含有一第一端以及一第二端，該第一端係為一第二導電型之摻雜區，該第二端係設於該井區內且耦合於該接合墊；

至少一第一導電型之浮動的第一摻雜區，設於該井區；以及

一靜電防護元件，耦接於該第二端與該第二電源線之間。

2. 如申請專利範圍第1項之輸出緩衝器，其中，該第二電路另包含有一電容，耦接於該接合墊與該第一摻雜區之間。

3. 如申請專利範圍第1項之輸出緩衝器，其中，該靜電防護元件係為一第二導電型之金氧半導體電晶體，該金氧半導體電晶體包含有一閘極、一汲極以及一源極，該汲極係耦合至該電阻之第二端，該源極係耦合於該第二電源線。

4. 如申請專利範圍第3項之輸出緩衝器，其中，該汲極與該源極係分別以一第二導電型之第二摻雜區與一第二導電型之第三摻雜區所構成。



## 六、申請專利範圍

5. 如申請專利範圍第3項之輸出緩衝器，其中，該閘極係耦合至一信號源。

6. 如申請專利範圍第3項之輸出緩衝器，其中，該閘極係耦合至該第二電源線。

7. 如申請專利範圍第3項之輸出緩衝器，其中，該金氧半導體電晶體係為一手指狀之金氧半導體電晶體。

8. 如申請專利範圍第1項之輸出緩衝器，其中，該第一端與該第二端係分別以一第二導電型之第四摻雜區與一第二導電型之第五摻雜區所構成。

9. 如申請專利範圍第8項之輸出緩衝器，其中，該第一摻雜區係設於該第四摻雜區與該第五摻雜區之間。

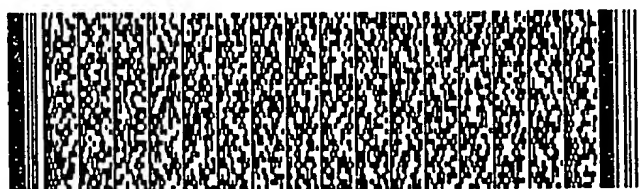
10. 如申請專利範圍第8項之輸出緩衝器，其中，該靜電防護元件係為一第二導電型之金氧半導體電晶體，該金氧半導體電晶體包含有一閘極、一汲極、一源極以及一基極，且該汲極係以該第五摻雜區所構成，且該源極係耦合於該第二電源線。

11. 如申請專利範圍第8項之輸出緩衝器，其中，該第一摻雜區係與該第四摻雜區交錯(interlace)設置。

12. 如申請專利範圍第8項之輸出緩衝器，其中，該第一摻雜區係與該第四摻雜區相接觸。

13. 如申請專利範圍第1項之輸出緩衝器，其中，於一放電事件中，該第一摻雜區係耦合於該第一端。

14. 如申請專利範圍第1項之輸出緩衝器，其中，該基底係以一第六摻雜區耦合至該第二電源線。



#### 六、申請專利範圍

15. 一種靜電防護電路，連接於第一接點與第二接點之間，其包含有：

一以一第二導電型之井區所構成之電阻，設於一第一導電型之基底上，且耦合於該第一接點；

一第二導電型之第一摻雜區，浮動的設於與該井區內；

一靜電防護元件，耦接於該井區與該第二接點之間；以及

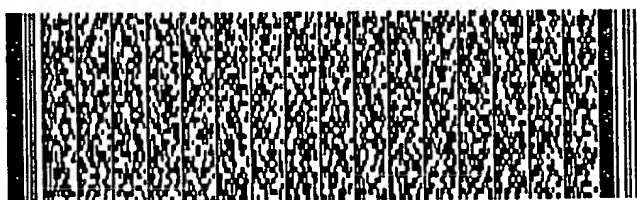
一第一電容，耦接於該第一接點與該第一摻雜區之間。

16. 如申請專利範圍第15項之輸出緩衝器，其中，於一靜電放電事件(electrostatic discharge event)中，該第一摻雜區係耦合於該第一接點。

17. 如申請專利範圍第15項之靜電防護電路，其中，該第一接點係耦合至一輸出入埠，該第二接點係耦合至一電源線。

18. 如申請專利範圍第15項之靜電防護電路，其中，該第一接點與該第二接點分別耦合至一第一電源線以及一第二電源線。

19. 如申請專利範圍第15項之靜電防護電路，其中，該靜電防護元件係為一第二導電型之金氧半導體電晶體，該金氧半導體電晶體包含有一閘極、一汲極、一源極以及一基極，該汲極係耦合至該電阻，該源極係耦合於該第二接點。



#### 六、申請專利範圍

20. 如申請專利範圍第19項之靜電防護電路，其中，該閘極係耦合至該第二接點。

21. 如申請專利範圍第19項之靜電防護電路，其中，該靜電防護電路另包含有一延遲電路，以一延遲電阻與一延遲電容串聯所構成，耦接於該第一接點與該第二接點之間，且該閘極係耦合於該延遲電阻與該延遲電容之串接點。

22. 如申請專利範圍第19項之靜電防護電路，其中，該汲極係耦合至該第一接點。

23. 如申請專利範圍第15項之靜電防護電路，其中，該靜電防護元件係為一場氧化層金氧半導體電晶體。

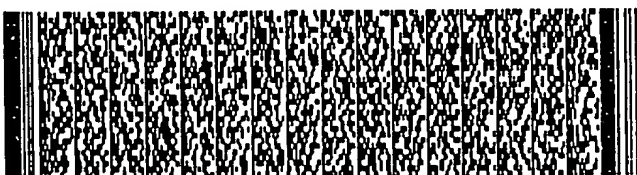
24. 如申請專利範圍第23項之靜電防護電路，其中，該場氧化層金氧半導體電晶體包含有一第二導電型之第二摻雜區與一第二導電型之第三摻雜區，該第二摻雜區與該第三摻雜區均設於該基底上。

25. 如申請專利範圍第24項之靜電防護電路，其中，該場氧化層金氧半導體電晶體另包含有一場氧化層，設於該第二摻雜區與該第三摻雜區之間。

26. 如申請專利範圍第15項之靜電防護電路，其中，該基底係以一第六摻雜區耦合至該第二接點。

27. 如申請專利範圍第26項之靜電防護電路，其中，該第六摻雜區係至少部分環繞該靜電防護電路之外圍。

28. 如申請專利範圍第26項之靜電防護電路，其中，該井區與該第六摻雜區之間，另設有一第二導電型之第七



## 六、申請專利範圍

摻雜區。

29. 如申請專利範圍第15項之輸出緩衝器，其中，該第一導電型係為n型，且該第二導電型係為p型。

30. 如申請專利範圍第15項之輸出緩衝器，其中，該第一導電型係為p型，且該第二導電型係為n型。

31. 一輸出緩衝器，包含有：

一第一電路，耦合於一第一電源線以及一接合墊之間；

一第二電路，耦合於一第二電源線以及該接合墊之間，其包含有：

一電阻，以一第二導電型之第二井區所構成，其包含有一第一端以及一第二端，該第一端係為一第二導電型之摻雜區，該第二端係設於該井區內且耦合於該接合墊；

至少一第一導電型之浮動的第一摻雜區，設於該井區；以及

一靜電防護元件，設於一第一導電型之第一井區上，耦接於該第二端與該第二電源線之間。

32. 一種靜電防護電路，連接於第一接點與第二接點之間，其包含有：

一以一第二導電型之第二井區所構成之電阻，且耦合於該第一接點；

一第二導電型之第一摻雜區，浮動的設於與該井區內；

一靜電防護元件，設於一第一導電型之第一井區上，



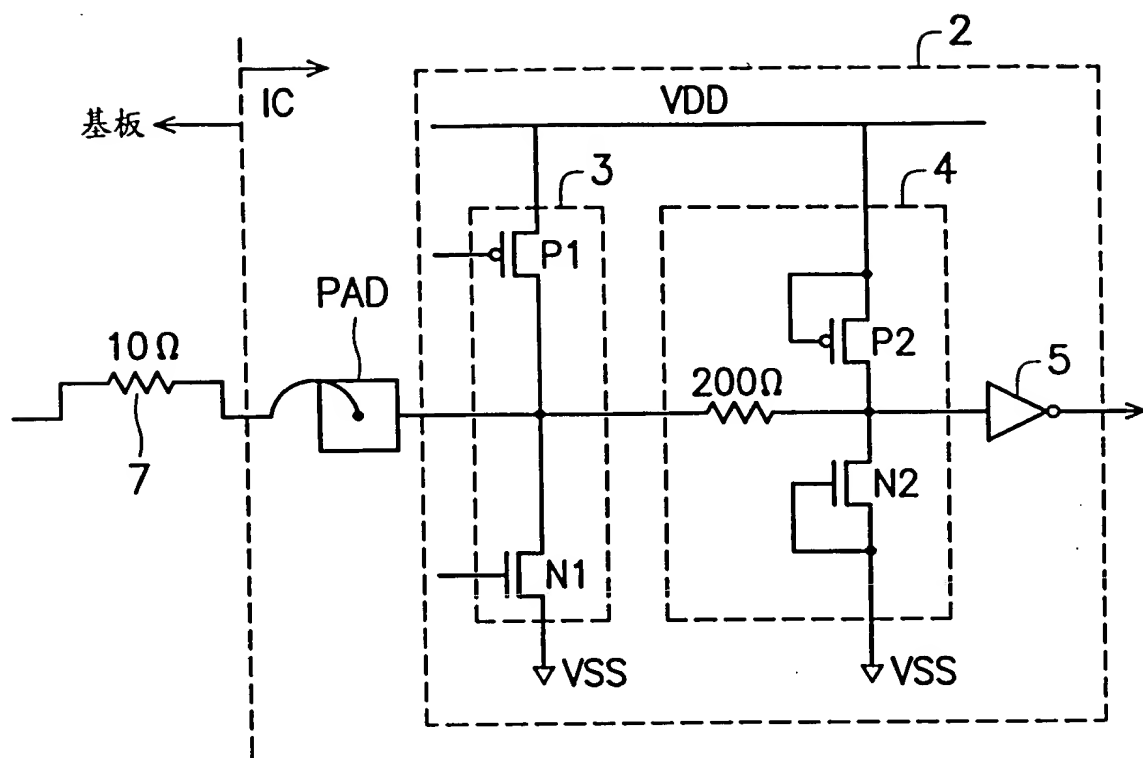
六、申請專利範圍

耦接於該井區與該第二接點之間；以及

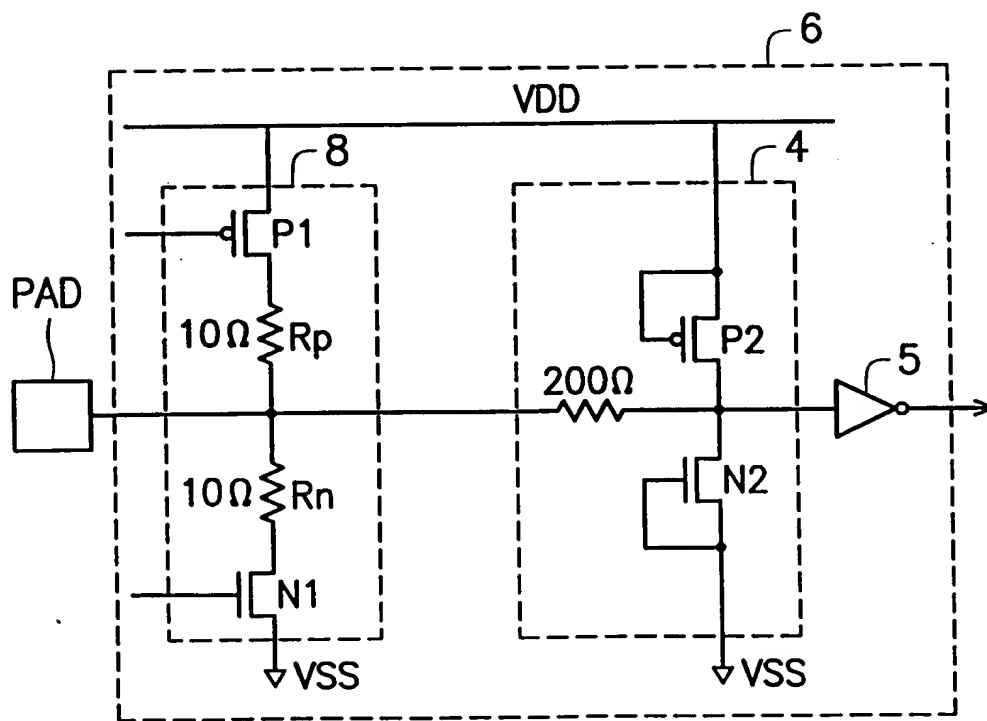
一第一電容，耦接於該第一接點與該第一摻雜區之間。



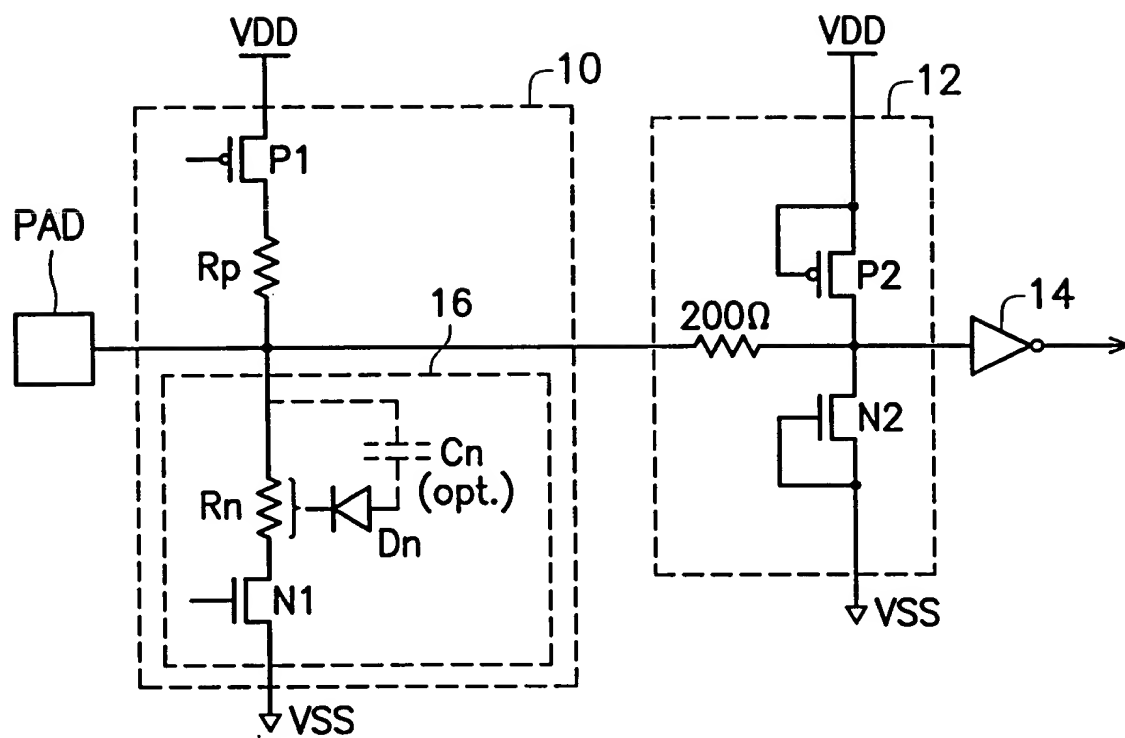




第 1A 圖

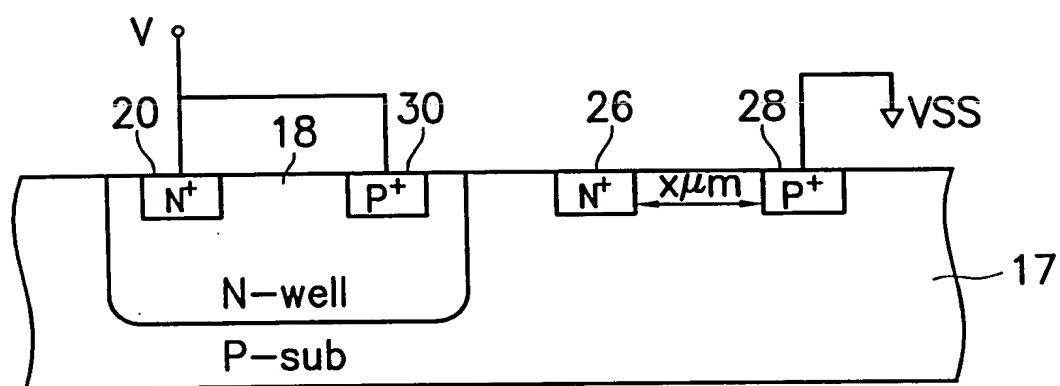


第 1B 圖

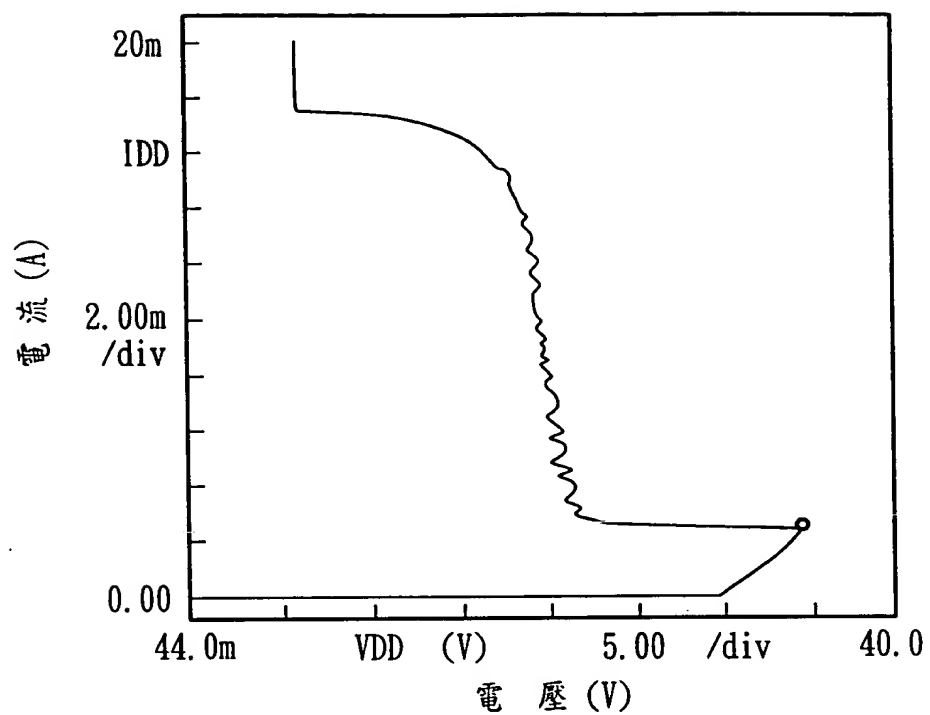


第 2 圖

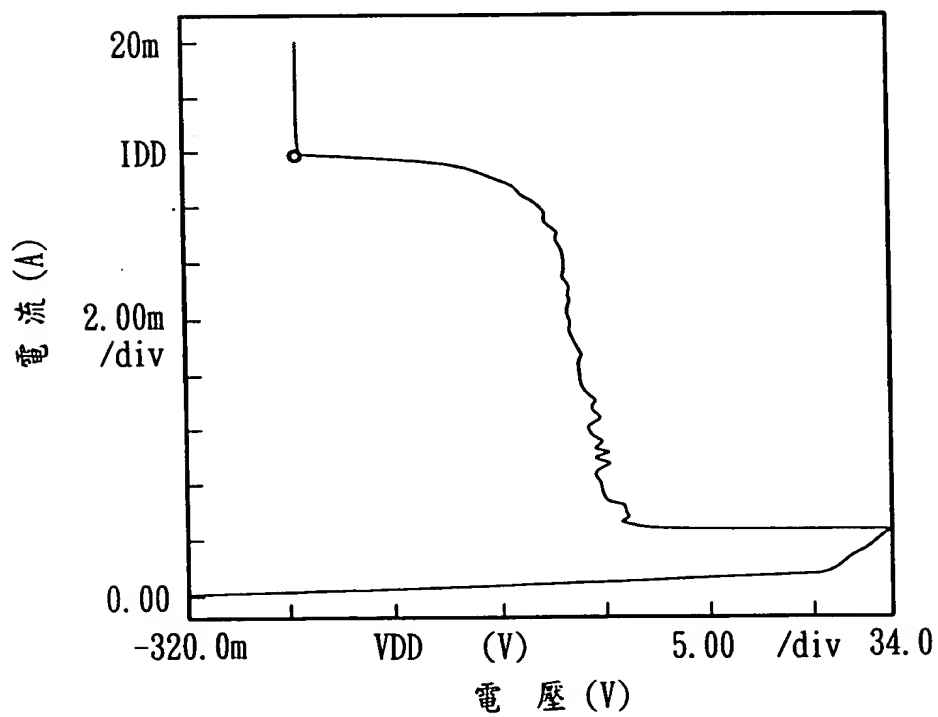




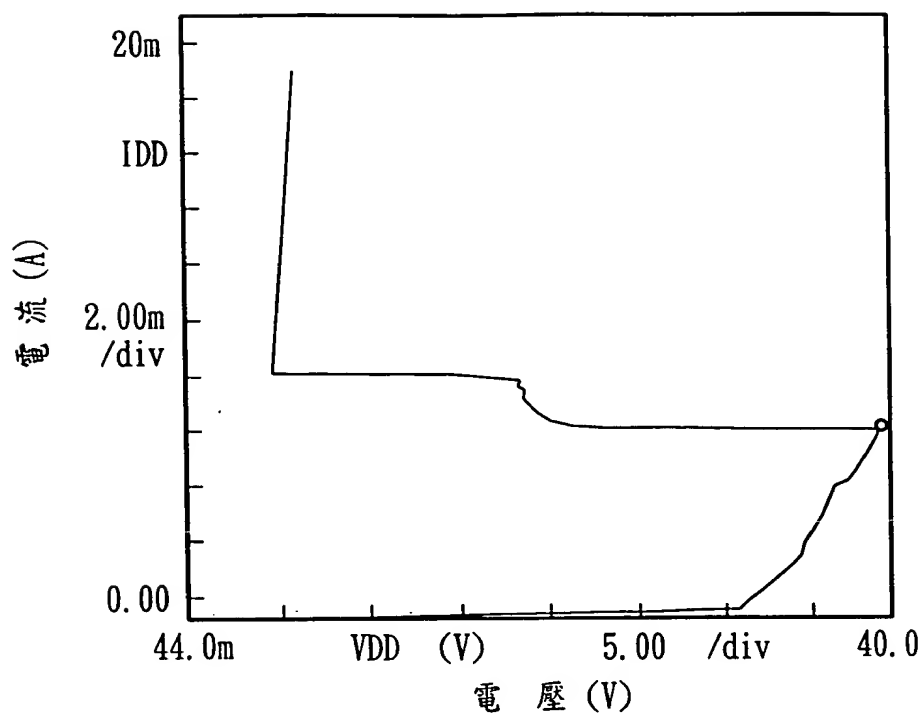
第 4A 圖



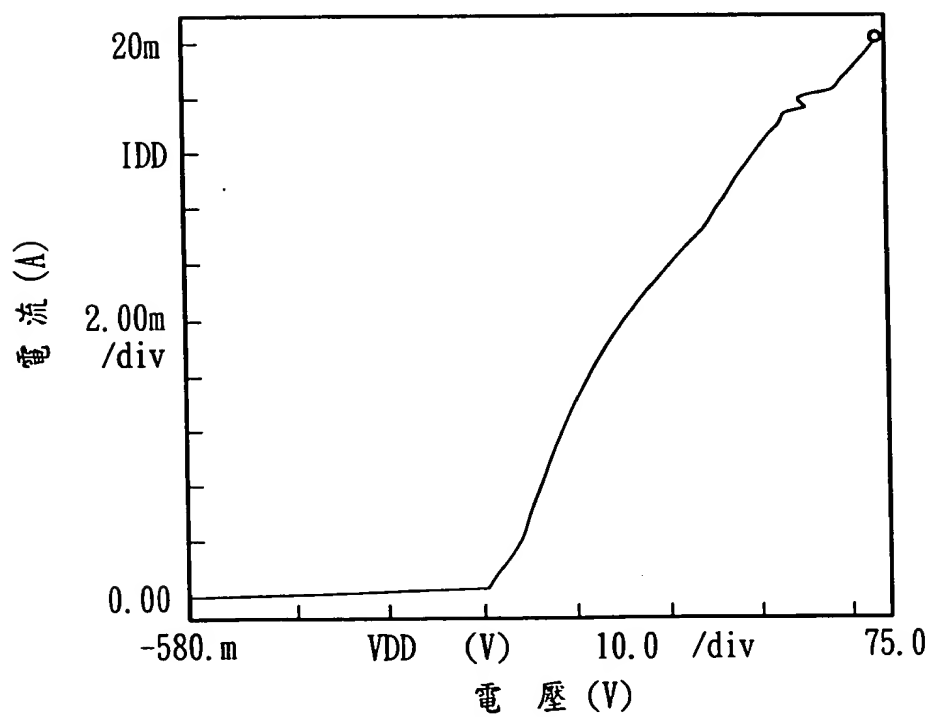
第4B圖



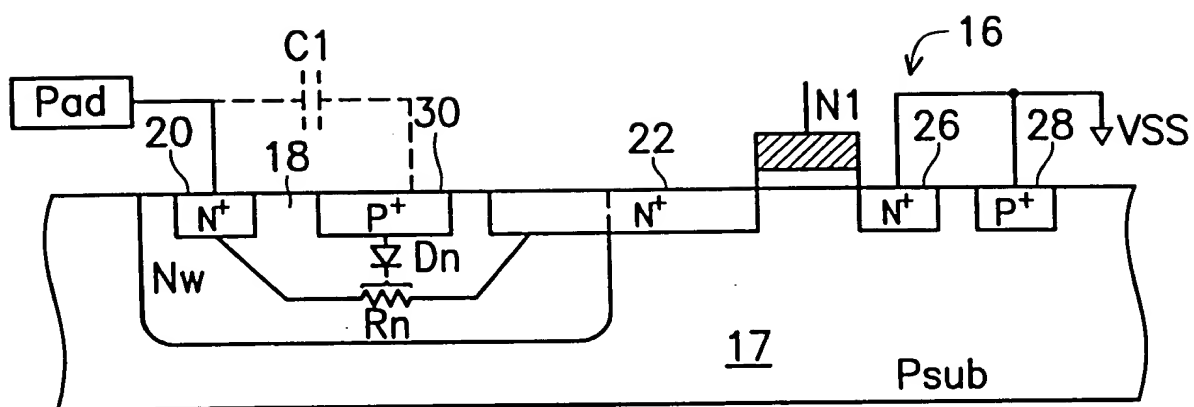
第4C圖



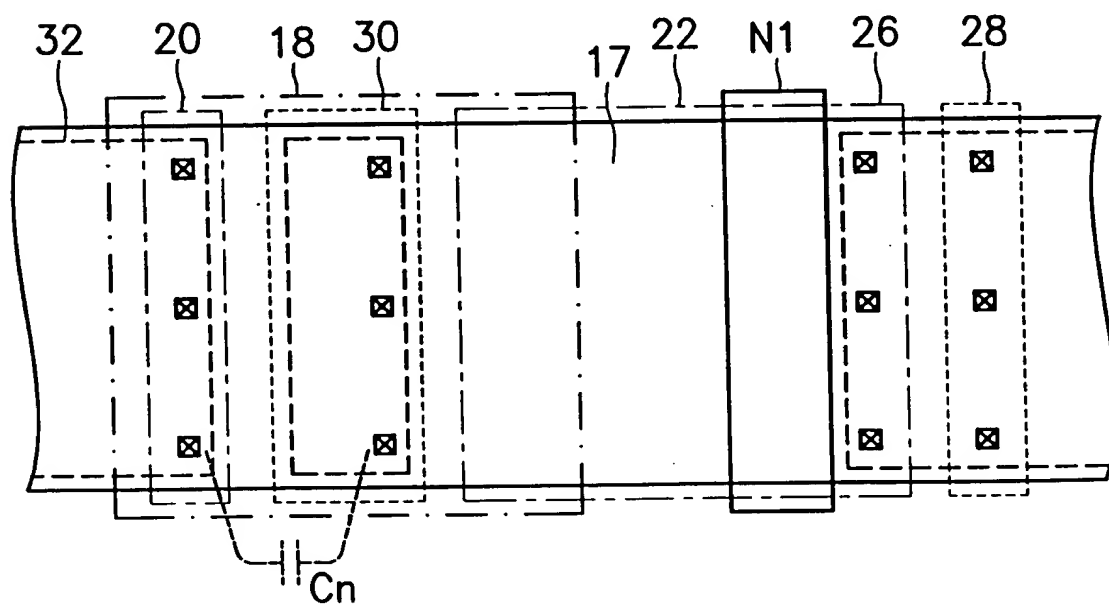
第4D圖



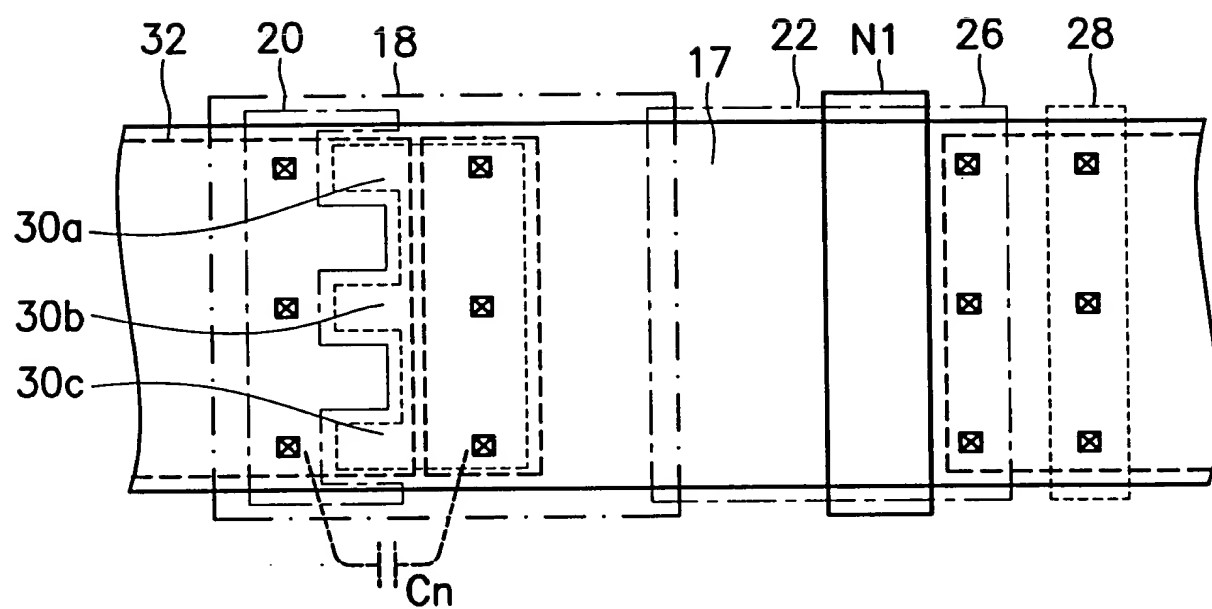
第4E圖



第5A圖

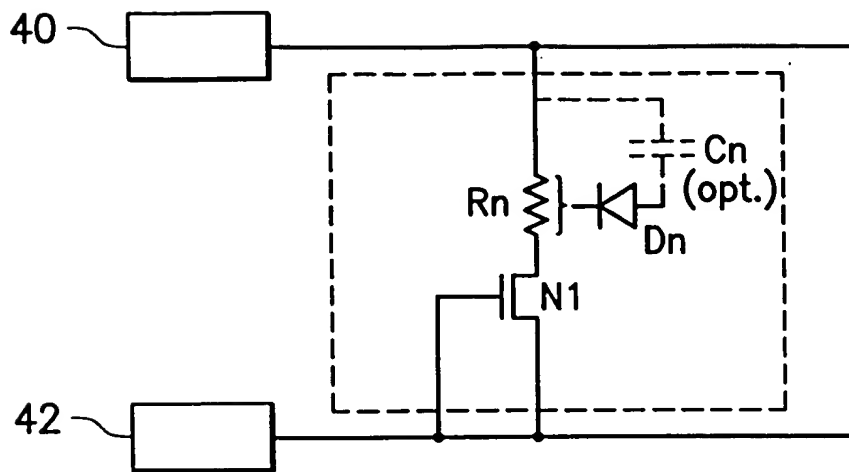


第5B圖

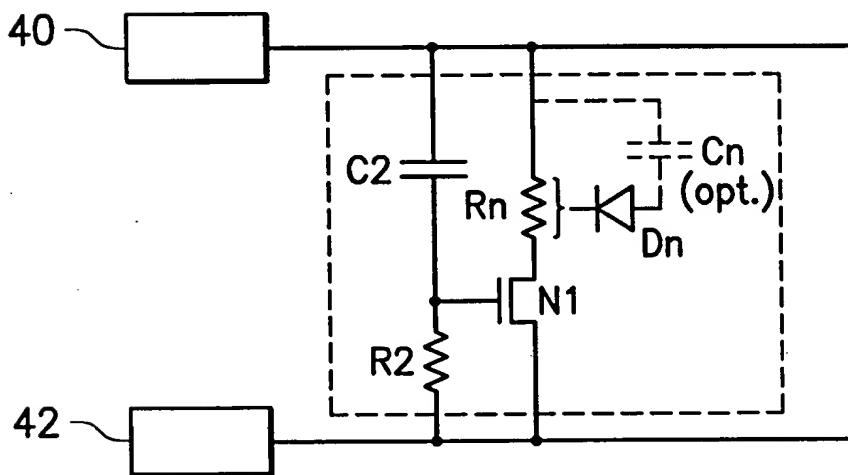


第 6 圖

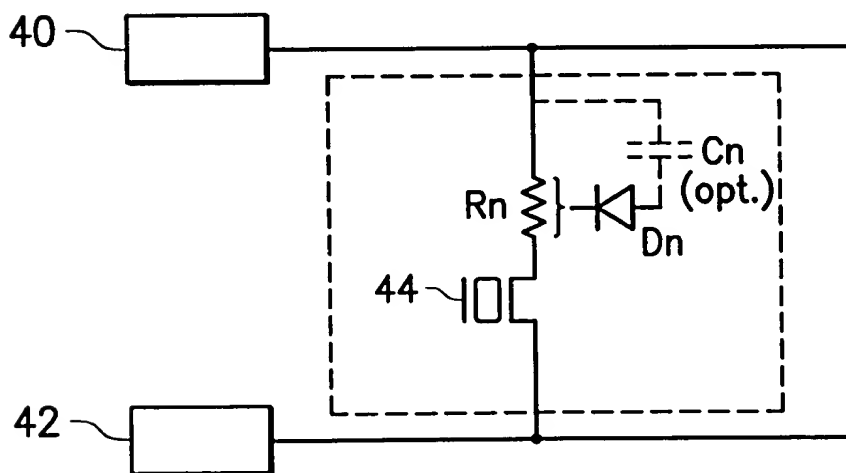




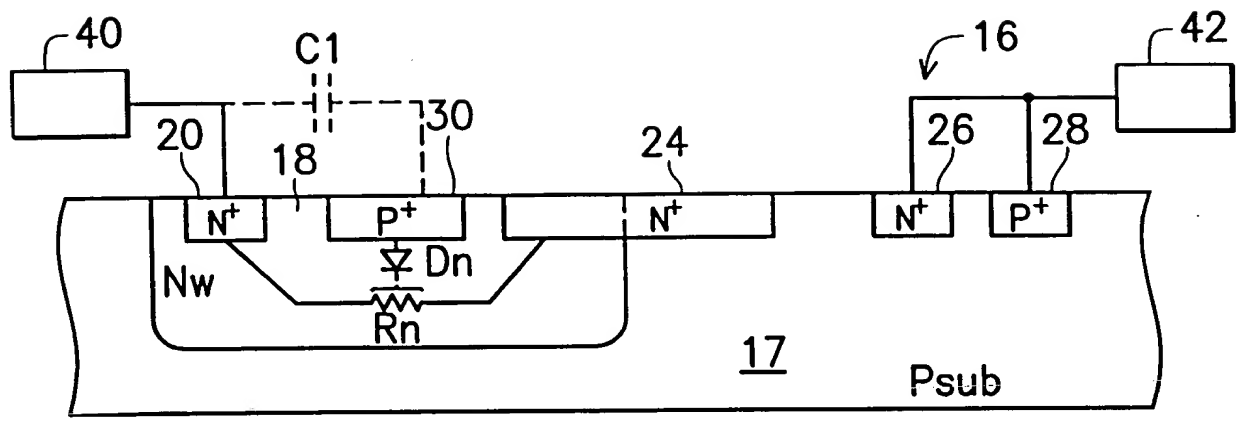
第 7 圖



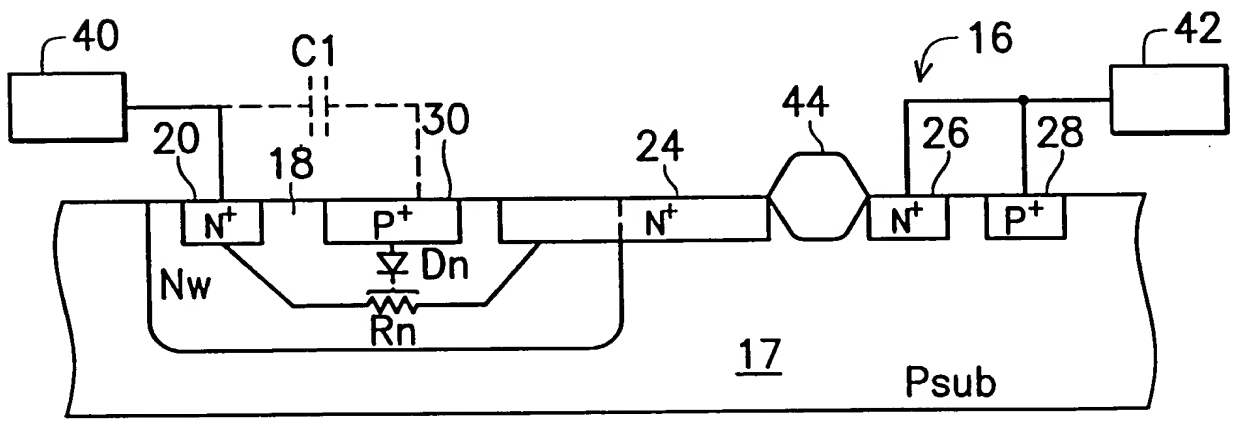
第 8 圖



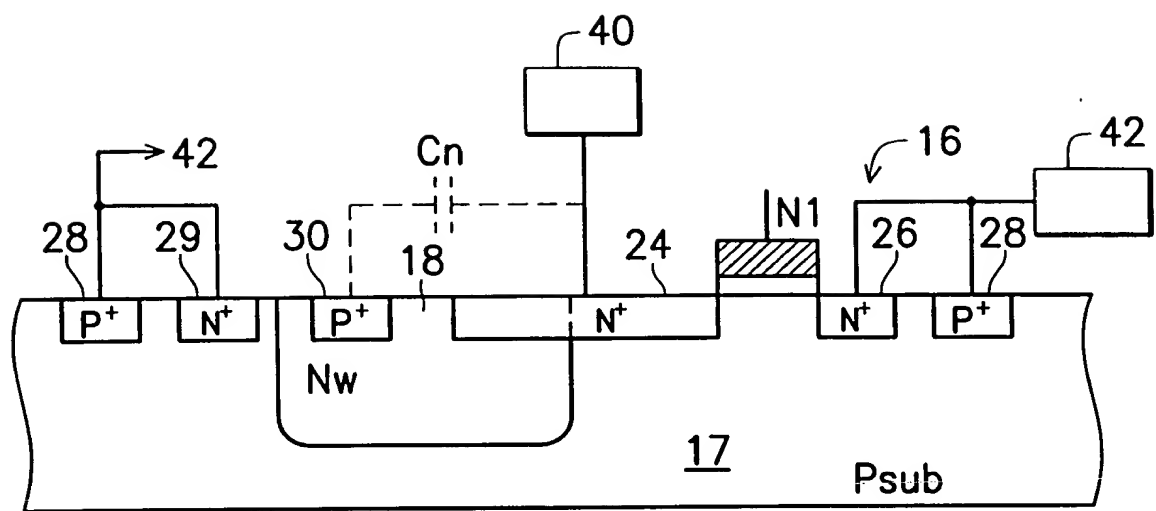
第 9A 圖



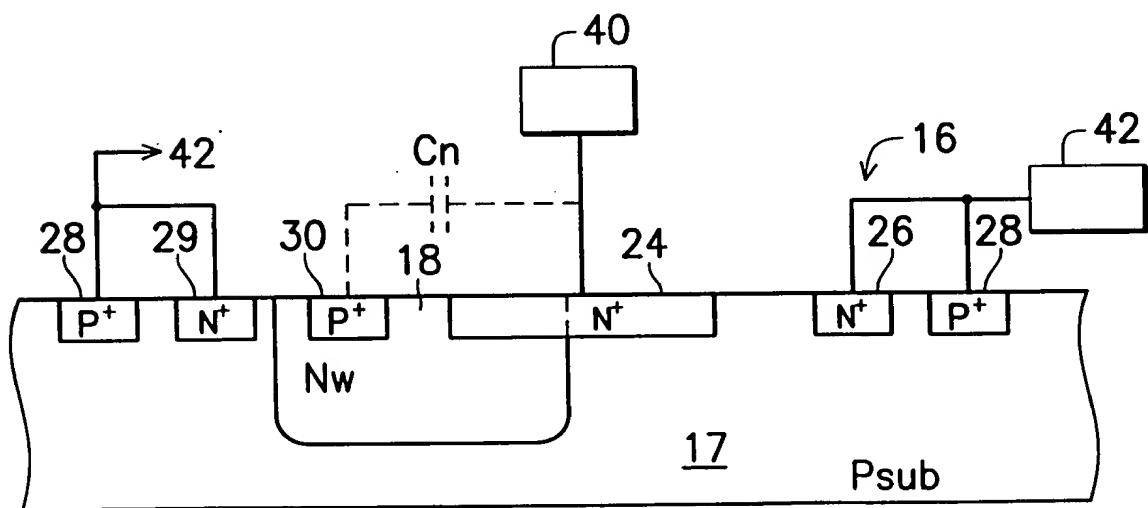
第 9B 圖



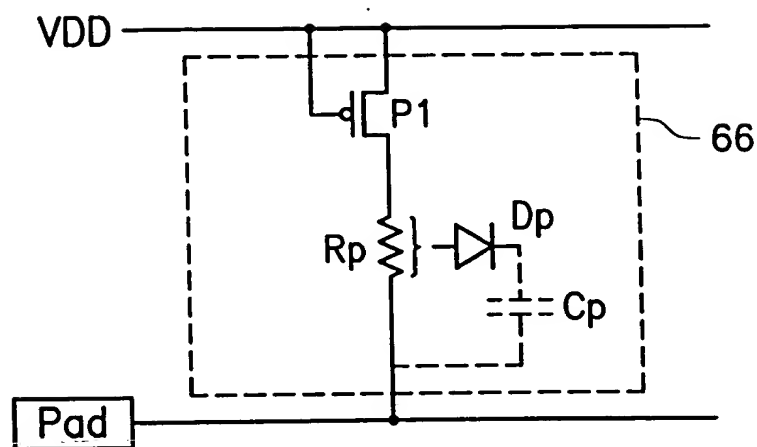
第 9C 圖



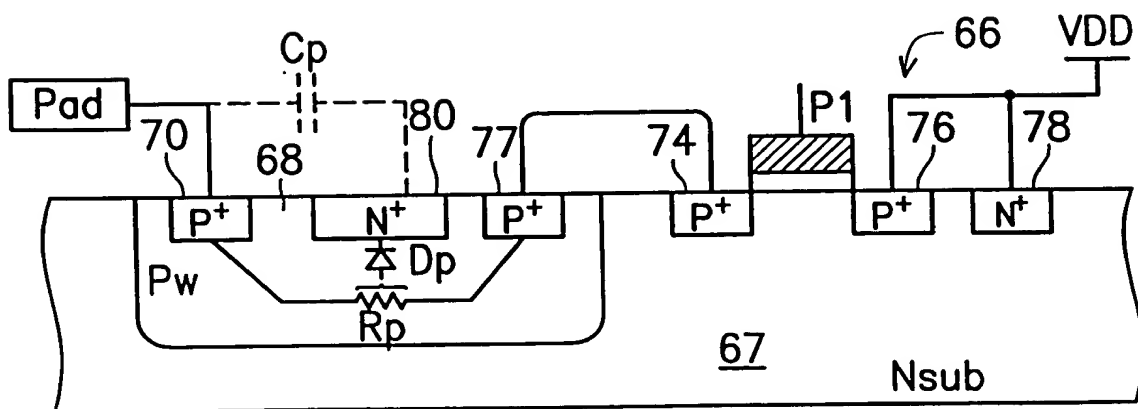
第10A圖



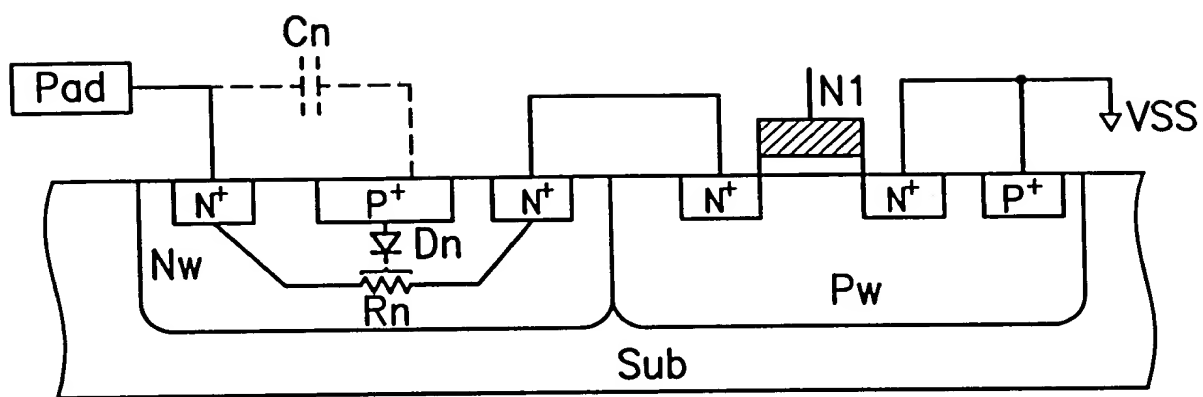
第10B圖



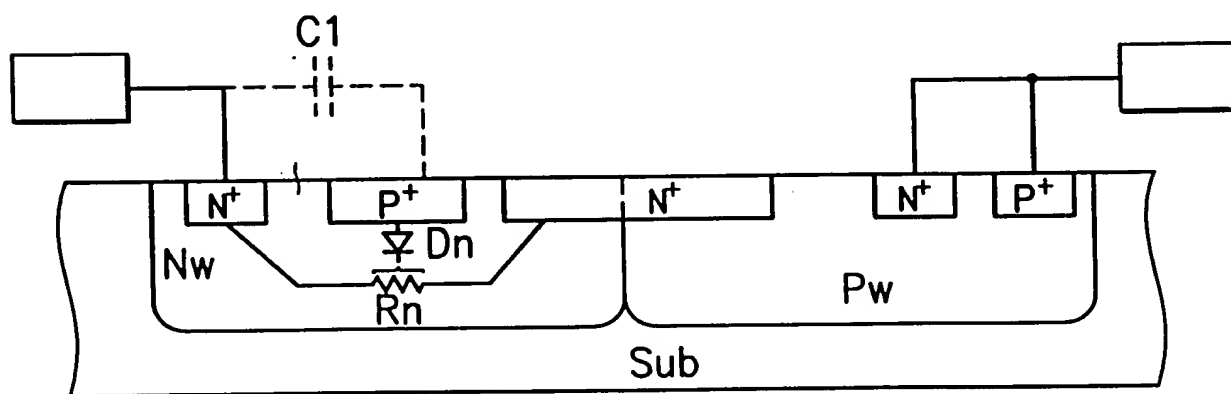
第 11 圖



第 12 圖



第13A圖



第13B圖

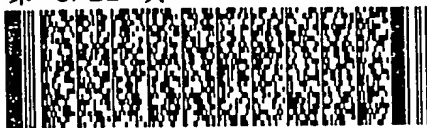
第 1/22 頁



第 2/22 頁



第 3/22 頁



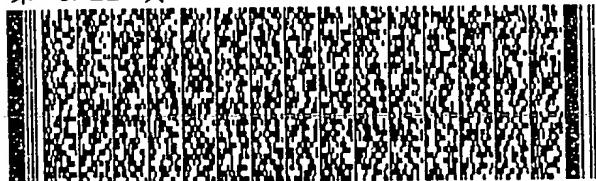
第 5/22 頁



第 5/22 頁



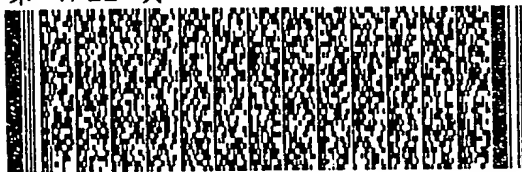
第 6/22 頁



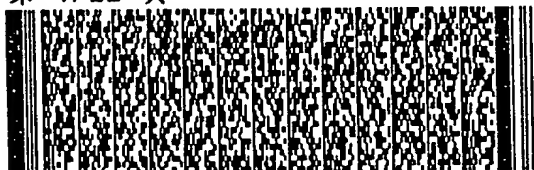
第 6/22 頁



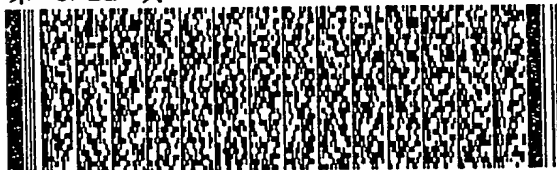
第 7/22 頁



第 7/22 頁



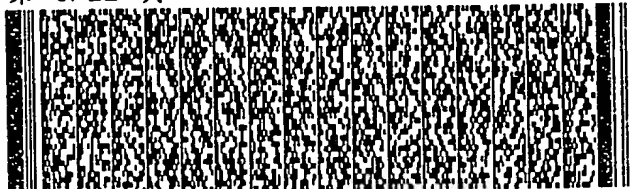
第 8/22 頁



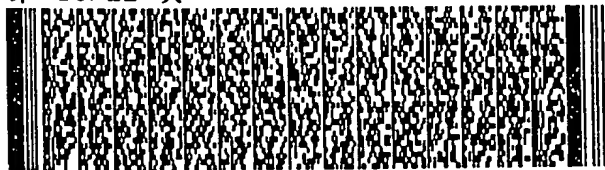
第 8/22 頁



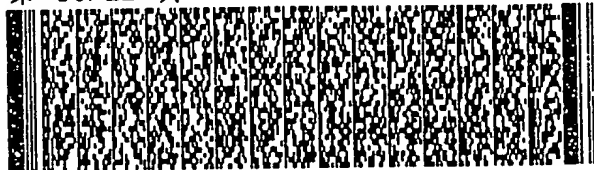
第 9/22 頁



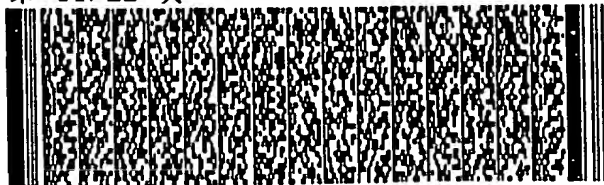
第 10/22 頁



第 10/22 頁



第 11/22 頁



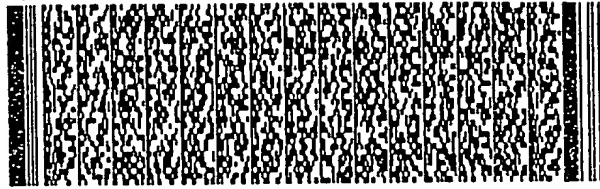
第 11/22 頁



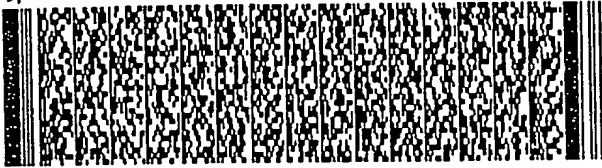
第 12/22 頁



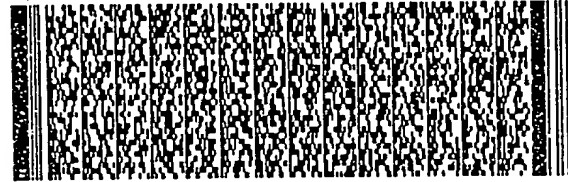
第 12/22 頁



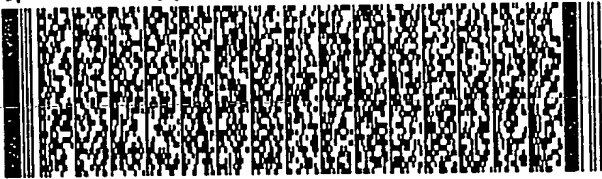
第 13/22 頁



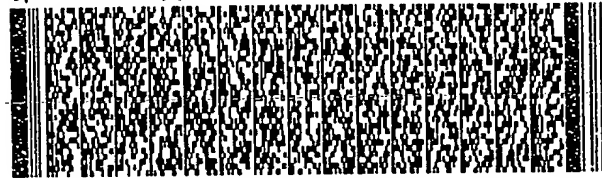
第 13/22 頁



第 14/22 頁



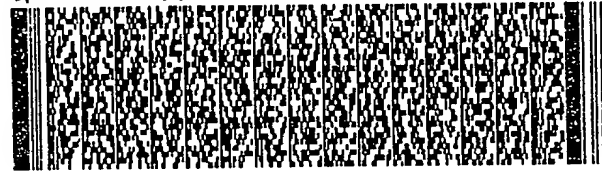
第 14/22 頁



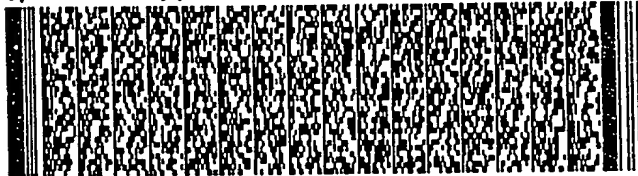
第 15/22 頁



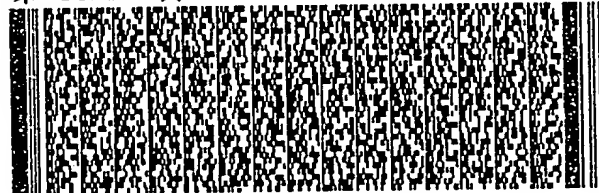
第 15/22 頁



第 16/22 頁



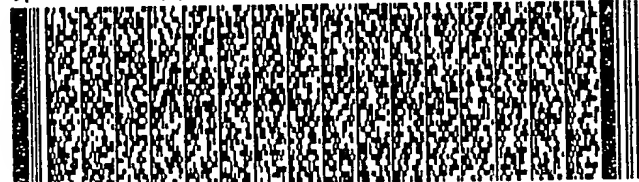
第 16/22 頁



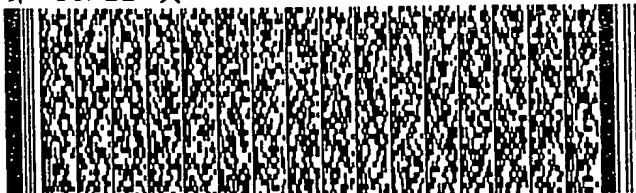
第 17/22 頁



第 18/22 頁



第 19/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁

